

PAT-NO: JP360181863A
DOCUMENT-IDENTIFIER: JP 60181863 A
TITLE: DATA PROCESSING DEVICE
PUBN-DATE: September 17, 1985

INVENTOR-INFORMATION:
NAME
KANAZAWA, TORU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP59037076
APPL-DATE: February 28, 1984

INT-CL (IPC): G06F013/28

ABSTRACT:

PURPOSE: To read out and process command efficiently by storing temporarily the command, which is read out from a main storage device, in a prefetch register to reduce the number of accesses to a DMA transfer bus for command read to a minimum value.

CONSTITUTION: A data transfer control circuit 20 receives prescribed data from the main storage device, which is omitted in the figure, through a DMA transfer bus 100. The data transfer control circuit 20 transmits received data to a prefetch register 30 through a data line 300 and instructs the register 30 to store this data by a control signal line 301 and writes the first two bytes of received data in an accumulator 11 through a local data bus 200 and reports the end of command prefetch to a microprogram control circuit 10 through a control signal line 202. The microprogram control circuit 10 which receives said report processes the first two bytes of the command stored in the accumulator. Thereafter, the command is stored in the accumulator 11 through a control signal line 203 and the processing is executed.

COPYRIGHT: (C)1985,JPO&Japio

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭63-18744

⑪ Int. Cl.

H 04 L 11/20

識別記号

1 0 2
1 0 1

庁内整理番号

A-7117-5K
A-7117-5K

⑬ 公開 昭和63年(1988)1月26日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 バースト情報の転送制御方式

⑮ 特 願 昭61-161718

⑯ 出 願 昭61(1986)7月9日

⑰ 発 明 者 高 瀬 忠 浩 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰ 発 明 者 勝 山 恒 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰ 発 明 者 伊 東 和 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰ 発 明 者 早 見 七 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑰ 代 理 人 弁理士 玉蟲 久五郎 外1名

明 細 書

1. 発明の名称 バースト情報の転送制御方式

2. 特許請求の範囲

有効情報の到着を検出する有効情報検出部(101)と、該検出された有効情報を蓄積する情報蓄積部(102)とを具え、共通利用回路の使用許可を得たとき蓄積された有効情報を該共通利用回路に転送するバースト情報転送制御方式において、有効情報を受信したことによりリセットされながら一定時間を計数して出力を発生する計時手段(103)と、

前記情報蓄積部(102)の蓄積情報が一定容量に達したことを検出して出力を発生する有効情報容量検出手段(104)とを具え、

前記計時手段(103)または有効情報蓄積手段(104)の出力によつて前記共通利用回路の使用を要求することを特徴とするバースト情報の転送制御方式。

3. 発明の詳細な説明

(概 要)

有効情報の到着を検出して、検出された有効情報を蓄積し、共通利用回路の使用許可を得たとき蓄積された有効情報を共通利用回路に転送するバースト情報転送制御方式において、有効情報の受信後一定時間の経過により、または検出された有効情報の蓄積量が一定容量に達したごとに共通利用回路の使用を要求し、共通利用回路の使用許可を得たとき蓄積された有効情報を共通利用回路に転送するようにしたので、短い時間間隔で有効情報が断続的に到着する場合でも、その都度共通利用回路の使用権の返還と獲得の処理を行う必要がなく、共通利用回路の負荷が軽減されて情報転送の共通処理の待ち時間が短縮される。

(産業上の利用分野)

本発明はバースト情報の転送制御方式に係り、特に有効情報が断続しているバースト情報に対して、共通回路を効率よく利用することができるよ

うにしたバースト情報の転送制御方式に関するものである。

電子通信学会 交換研究会資料 SE84-150「分散配置型PBXの一方式」、SE85-150「音声/高速バースト情報を統合交換するエラスティックバスケット方式を適用した分散配置型PBX」に公表されているエラスティック・バスケット方式^(b)バスケット通信方式等のバースト情報交換または転送方式において、交換装置を介して交換処理され、伝送路を経て伝送される通信情報中には、音声情報のように常時有意情報が転送される種類のものと、静止画像情報のように有意情報が断続して送られるものとがある。後者の例として、利用者が複数ページの画面からなる文書を受信する場合には、受信した1ページの文書をおある時間かけて読み終つてから、次のページを通信(転送)すればよく、連続して全ページを転送する必要はない。また1ページ分の情報の転送は、マンマシンインタフェースの点からある程度以下の時間で通信し終える必要がある。従つてページ情報は、断続的に転送

されることになる場合が多い。

第6図は共通の通話路1に対して、端末2およびこれを接続するライン回路3を多数具えた系を示しているが、このような系において上述のようなタイプの情報を効率よく転送するためには、有効情報が到着してから全回線に共通に利用される交換能力や伝送容量をその情報の転送のために獲得する処理を行い、獲得し終つてから始めて有効情報を転送するようにする必要があるが、種々の性質を持つ情報に対して、このような情報の転送制御を効率よく行い得るようにすることが要望される。

(従来の技術)

第7図はバースト情報に対する従来の転送制御方式を示すブロック図である。また第8図は第7図の構成における転送制御のフローを示したものであつて、S1～S6は処理の各ステップを示している。

第7図において4₁～4_nは前述の各ライン回

路における送信回路を示し、5は共通に設けられているバスである。いまある送信回路4₁における有効情報検出部11において、例えばHDL通信手順におけるフラグ検出によつて端末からの有効情報の到着を検出し(第8図ステップS1)、到着情報の有効または無効を示す有効/無効信号を発生する。有効信号の発生によつてバッファメモリ13に対する取り込み制御が行われ、これによつてバッファメモリ13は到着情報を次々に蓄積する。

また有効信号の開始検出部12は有効信号の開始時点を検出して、バス5の使用要求信号を図示されないバスの共通制御部に送出する(第8図ステップS2)。共通制御部ではバス5が使用可能になつたとき、バスの使用許可信号を返送し(第8図ステップS3)、この信号によつてフリップ・フロップ14がセットされ、その出力が読み出し信号としてバッファメモリ13に与えられ、これによつてバッファメモリ13はそれまでに蓄積した情報をバス5に転送開始する(第8図ステップS4)。

バッファメモリ13からの有効情報の送出が終了したとき、有効情報の終了検出部15はバッファメモリ13の出力点でこれを検出して(第8図ステップS5)出力を発生する。この出力によつてフリップ・フロップ14がリセットされてバッファメモリ13からの読み出しが停止するとともに、この出力はバスの使用権返却を示すバス使用終了信号として共通制御部に伝達され(第8図ステップS6)、これによつてバス5は他の受信回路において使用可能となる。

(発明が解決しようとする問題点)

第7図、第8図によつて示される従来の転送制御方式では、極めて短い時間間隔で有効情報が次々と到着するような場合には、バス使用権の返還と獲得との処理が繰り返して行われることになるが、有効情報到着の時間間隔がバス使用権の返還と獲得の処理に必要な時間間隔に近くなると、転送制御を行う共通制御部の負荷が増大する。そのため情報転送能力が低下し、共通利用によるバス

の使用効率向上のメリットが減殺されるという問題があった。

(問題点を解決するための手段)

本発明はこのような従来技術の問題点を解決しようとするものであつて、第1図に示す原理的構成を有し、有効情報検出部(101)を具えて有効情報の受信により、受信された有効情報を情報蓄積部(102)に蓄積して、共通利用回路の使用許可を得たとき蓄積された有効情報をこの共通利用回路に転送するバースト情報転送制御方式において、計時手段(103)と有効情報容量検出手段(104)とを具え、計時手段(103)の出力または有効情報容量検出手段(104)の出力が発生したとき、蓄積された有効情報を共通利用回路に転送するようにしたものである。

計時手段(103)はカウンタ等からなり、有効情報検出部(101)における有効情報の到着検出(b)ごとにリセットされながらクロックを計数することによつて、一定時間を計数したとき出力

を発生する。また別の手段として情報蓄積部(102)内の先頭情報が蓄積されて(b')から一定時間を計数したときに出力を発生する。

有効情報容量検出手段(104)は、情報蓄積部(102)の蓄積情報が一定容量に達したことを検出して出力を発生する。

(作用)

有効情報の到着を検出して、有効情報の到着検出後一定時間の経過ごとまたは情報蓄積部内の先頭情報が蓄積されてから一定時間を経過したごとに、または検出された有効情報の蓄積量が一定容量に達したごとに共通利用回路の使用を要求し、共通利用回路の使用許可を得たとき蓄積された有効情報を共通利用回路に転送するようにしたので、短い時間間隔で有効情報が断続的に到着する場合でも、その都度共通利用回路の使用権の返還と獲得の処理を行う無駄を省くことができる。

(実施例)

第2図は本発明の一実施例を示したものであつて、第7図における各送信回路に対応する構成が示されている。また第3図は第2図の構成における各部信号を示すタイムチャートである。

有効情報検出部21は図示されない端末からの有効情報の到着を検出して、転送情報に対応して1バイトごとにオンとなる有効情報同期信号を発生し、その立ち上りに応じてカウンタ22に対するリセット信号を発生する。カウンタ22はクロックを所定のmカウントしたときカウントアップして、mクロックカウントアップ信号を発生する。また有効情報検出部21は有効情報のデータをバッファメモリ23に入力し、バッファメモリ23は入力データを順次蓄積して、所定のnバイト蓄積したときnバイト蓄積信号を出力する。

いま有効情報が到着すると、その開始時カウンタ22はリセットされてカウントを開始するが、有効情報の時間間隔が短くmクロックカウント以前に次の有効情報が到着したときは、カウントアッ

プに至らない。このような状態でバッファメモリ23に情報が蓄積されてnバイトに達すると、バッファメモリ23からnバイト蓄積信号が出力され、オア回路24を経てバス使用要求信号として図示されないバスの共通制御部に出力される。第3図においては、 $n=2$ の場合が例示されている。

また有効情報の時間間隔が長くmクロックカウントしてもバッファメモリ23の蓄積情報がnバイトに達しないときは、カウンタ22のmクロックカウントアップ信号によつてオア回路24を経てバス使用要求信号が出力される。

バス使用要求信号の出力によつて、共通制御部ではバスが使用可能なときバス使用許可信号を返送し、バッファメモリ23はこの信号を受けたとき、それまでに蓄積した情報を出力データとして図示されないバスに出力する。さらにバッファメモリ23は蓄積している情報を出力し終つたとき、バス使用終了信号を共通制御部に出力してバスの使用権を返還し、これによつてバスは他の送信回路において使用可能となる。

なお有効情報が短い時間間隔で連続して転送されるような場合には、バッファメモリからの情報読み出しが終了しないうちに次の情報が入力される場合が生じるが、このような場合はバッファメモリを2面において交互に書き込みと読み出しを行うようにすればよく、またはバッファメモリにおける書き込み領域を2つ設けて交互に書き込みと読み出しを行うようにしてもよい。

第4図は本発明の他の実施例を示すものであつて、第5図は第4図の構成における各部信号を示すタイムチャートである。上記第1の実施例では、バッファメモリに有効情報が到来してから一定時間内に次の情報が受信されなかつたとき、バス使用要求信号を出力するようにしているが、第4図、第5図の実施例ではバッファメモリ内の先頭情報がバッファメモリに蓄積されてからの時間が所定時間を越えたとき、バス使用要求信号を出力するようにし、その他の制御は第1の実施例と同じにする。第4図、第5図においてバッファメモリ23が空であることを示す信号と、有効情報検出部21

からの有効情報の到着を検出した信号との論理積の信号を、カウンタ22のリセット信号として用いて、バス使用要求信号を発生するようにしている。

(発明の効果)

以上説明したように本発明によれば、短い時間間隔で有効情報が次々と到着するような場合でも、バス使用権の返還と獲得との処理が繰り返して行われることがなく、制御上の無駄を省くことができ、転送制御を行う共通制御部の負荷が軽減されて、その分他の情報処理に関する共通処理を少ない待ち時間で行うことができるようになり、交換・転送システム全体としての性能向上を図ることができるようになる。

4.図面の簡単な説明

第1図は本発明の原理的構成を示す図、

第2図は本発明の一実施例を示す図、

第3図は第2図の実施例における各部信号を示すタイムチャート、

第4図は本発明の他の実施例を示す図、

第5図は第4図の実施例における各部信号を示すタイムチャート、

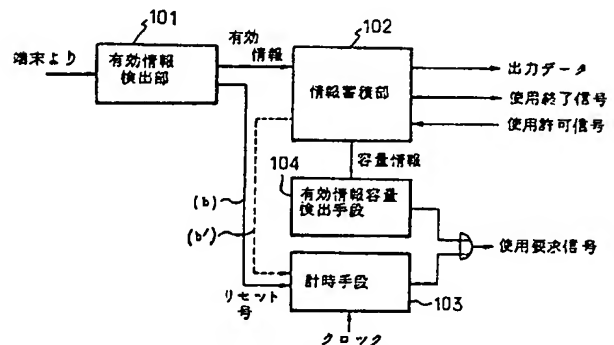
第6図は共通の通路路に対して、多数の端末およびライン回路を具えた系を示す図、

第7図は従来の転送制御方式を示すブロック図、

第8図は第7図の構成における転送制御を示すフローチャートである。

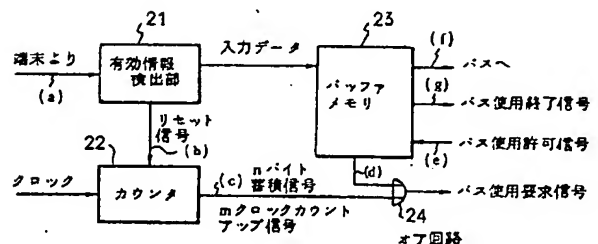
- 1…通路路
- 2…端末
- 3…ライン回路
- 21…有効情報検出部
- 22…カウンタ
- 23…バッファメモリ
- 24…オア回路
- 25…アンド回路

特許出願人 富士通株式会社
代理人 弁理士 玉蟲久五郎(外1名)



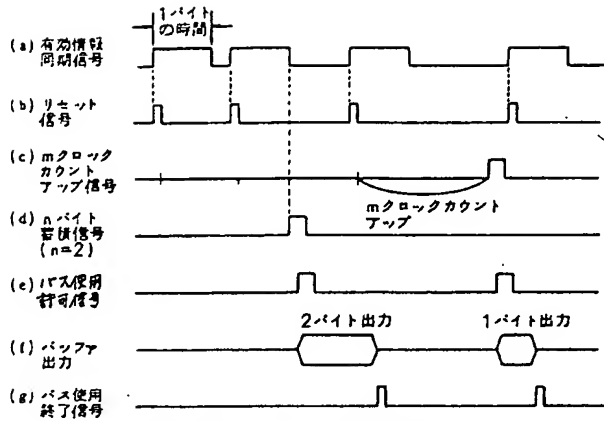
本発明の原理的構成を示す図

第1図



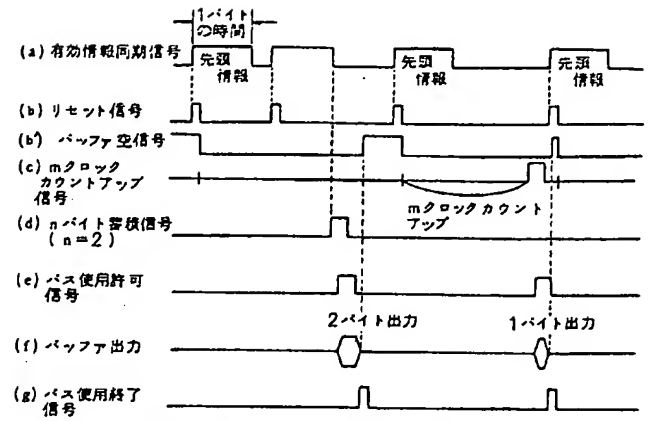
本発明の一実施例を示す図

第2図



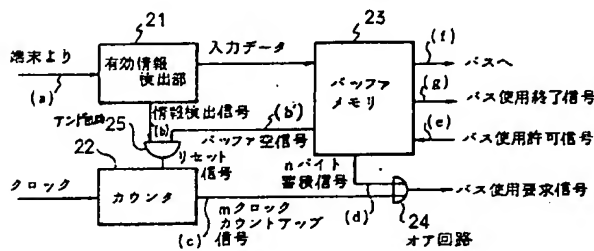
第2図の実施例における各部信号を示すタイムチャート

第 3 図



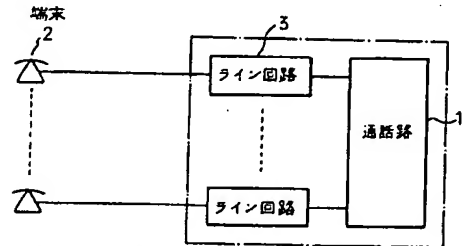
第4図の実施例における各部信号を示すタイムチャート

第 5 図



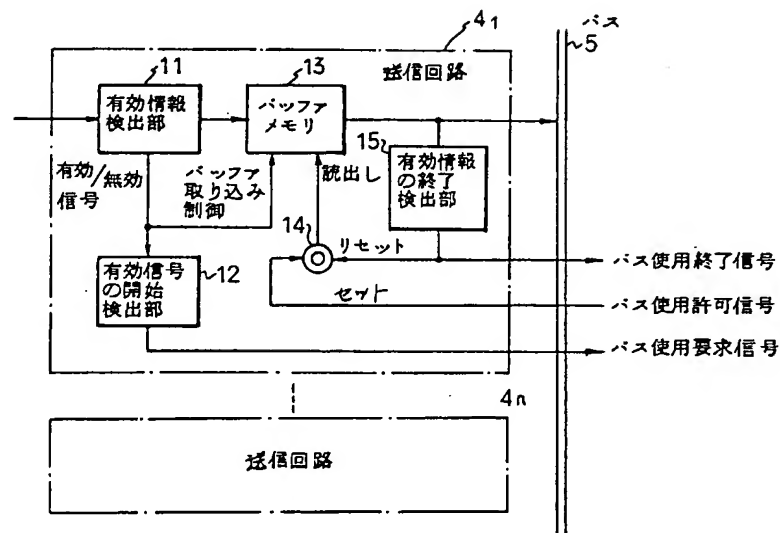
本発明の他の実施例を示す図

第 4 図



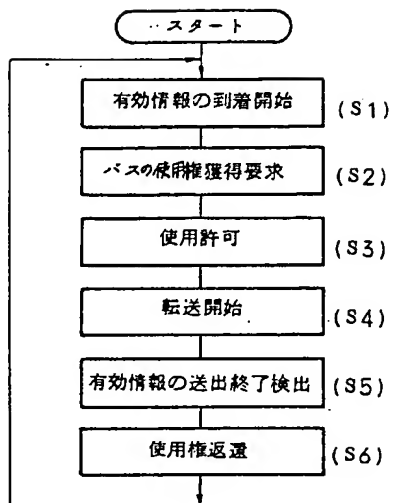
共通の通話路に多数の端末とライン回路を具えた系を示す図

第 6 図



従来の転送制御方式を示す図

第 7 図



第5図の構成における転送制御を示すフローチャート

第 8 図

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**